

## ⑪ 公開特許公報 (A)

平2-67523

⑤Int.Cl.<sup>5</sup>

G 02 F 1/136

識別記号

500

府内整理番号

7370-2H  
6824-5F  
8624-5F

④公開 平成2年(1990)3月7日

H 01 L 21/88  
29/78 311 C  
審査請求 未請求 請求項の数 4 (全10頁)

## ⑥発明の名称 液晶表示装置の製造方法

⑦特 願 昭63-218329

⑧出 願 昭63(1988)9月2日

⑨発明者 谷 口 秀 明 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑩発明者 白 橋 和 男 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑪発明者 折 付 良 二 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑫発明者 鈴 木 堅 吉 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑬出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑭代理人 弁理士 小川 勝男 外1名

最終頁に続く

## 明細書

## 1. 発明の名称

液晶表示装置の製造方法

## 2. 特許請求の範囲

1. 異なる導電層間に形成された絶縁膜をフォトマスク技術で所定の形状にパターンニングする液晶表示装置の製造方法において、前記絶縁膜の一部の領域の表面上に導電膜及びその導電膜を被覆するレジスト膜でエッチングマスクを形成する工程と、該エッチングマスクを用い、前記絶縁膜の一部の領域以外の部分をエッチングにより除去する工程とを備えたことを特徴とする液晶表示装置の製造方法。

2. 前記絶縁膜は、ゲート電極とソース電極及びドレイン電極との間のゲート絶縁膜、走査信号線と映像信号線との間の絶縁膜、映像信号線と遮光膜との間の絶縁膜等であることを特徴とする特許請求の範囲第1項に記載の液晶表示装置の製造方法。

3. 前記エッチングマスクのうちの下層の導電膜

は、映像信号線、ゲート電極、映像信号線、ソース電極、ドレイン電極或は遮光膜で形成されているか、又はそれらいずれかの導電膜と同一工程で形成されていることを特徴とする特許請求の範囲第1項又は第2項に記載の液晶表示装置の製造方法。

4. 前記エッチングマスクのうちの下層の導電膜は上層のレジスト膜に比べて小さいサイズで形成されていることを特徴とする特許請求の範囲第1項乃至第3項に記載の液晶表示装置の製造方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、液晶表示装置、特に、アクティブ・マトリックス方式で構成される液晶表示装置に適用して有効な技術に関するものである。

## 〔従来の技術〕

アクティブ・マトリックス方式の液晶表示装置の液晶表示部にはマトリックス状に複数の画素を配置している。各画素は水平方向に延在する複数

の走査信号線(ゲート信号線)とそれと交差する垂直方向に延在する複数の映像信号線(ドレイン信号線)とで周囲を囲まれた領域内に配置されている。前記走査信号線の一端部には走査信号が印加される外部端子が、映像信号線の一端部には映像信号が印加される外部端子が夫々接続されている。各外部端子は液晶表示部(画像有効領域)の外周に配列されている。

前記各画素は薄膜トランジスタ(TFT)と透明画素電極との直列回路で構成されている。薄膜トランジスタは、透明ガラス基板の表面にゲート電極、ゲート絶縁膜、半導体層、ソース電極及びドレイン電極を順次積層して構成されている。ソース電極は透明画素電極に電気的に接続されている。ドレイン電極は前記映像信号線と一緒に一体に構成され電気的に接続されている。前記ゲート電極は走査信号線に一体に構成され電気的に接続されている。前記薄膜トランジスタのチャネル形成領域として使用される半導体層上には絶縁膜(パッシベーション膜)を介在させて遮光膜が設けられている。

る液晶表示装置については、例えば特願昭62-110505号に記載されている。

#### 〔発明が解決しようとする課題〕

前述の液晶表示装置の導電層間に設けられた絶縁膜はフォトレジスト膜で形成されたエッチングマスクを用いてパターンニングされている。前記フォトレジスト膜はその大半に確率的にピンホールが存在するので、エッチングマスクにピンホールが形成されてしまう。このエッチングマスクに形成されたピンホールは、絶縁膜のパターンニングの際に絶縁膜にピンホールを形成してしまう。このため、例えばゲート電極-ソース電極間の絶縁膜にピンホールが存在した場合、両者間が短絡するので、液晶表示装置に特有な点欠陥が生じる。また、ゲート電極-ドレイン電極間、走査信号線-映像信号線間の夫々の絶縁膜にピンホールが存在した場合、液晶表示装置に特有な線欠陥を生じる。また、映像信号線-遮光膜間の絶縁膜にピンホールが存在した場合、遮光膜のパターンニングの際にピンホールを通して浸透するエッチング液

この遮光膜は、例えばCr膜やAl膜で形成され、薄膜トランジスタの誤動作を防止している。

この種の液晶表示装置は前述のように各導電層間に絶縁膜が設けられている。具体的には、ゲート電極-ソース領域・ドレイン領域間及び走査信号線-映像信号線間に同一層の絶縁膜が設けられ、映像信号線-遮光膜間等に異なる層の絶縁膜が設けられている。これらの絶縁膜は、前記外部端子の領域を除き、液晶表示部(画像有効領域)において形成されている。絶縁膜としては例えばスピタ法で堆積させた窒化珪素膜を使用し、絶縁膜のパターンニングはフォトリソグラフィ技術(写真蝕刻技術)で行われている。つまり、フォトリソグラフィ技術は以下のように前記液晶表示部に絶縁膜を形成することができる。まず、絶縁膜の液晶表示部の表面上にフォトレジスト膜でエッチングマスクを形成する。次に、前記エッチングマスクを用い、前記絶縁膜の液晶表示部以外の部分をエッチングで除去する。

なお、アクティブ・マトリックス方式を採用す

で映像信号線が断線する。これらは、液晶表示装置の製造上の歩留りを低下させる。

本発明の目的は、液晶表示装置の製造上の歩留りを向上することが可能な技術を提供することにある。

本発明の他の目的は、前記液晶表示装置において、導電層間の絶縁膜にピンホールが存在することに起因する、点欠陥又は線欠陥を防止することが可能な技術を提供することにある。

本発明の他の目的は、前記目的を達成するための製造工程数を低減することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

#### 〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 液晶表示装置において、絶縁膜の一部の領

域の表面上に導電膜及びその導電膜を被覆するレジスト膜でエッティングマスクを形成し、このエッティングマスクを用い、前記絶縁膜の一部の領域以外の部分をエッティングにより除去する。

(2) 前記エッティングマスクの下層の導電膜は液晶表示装置で使用される導電膜と同一製造工程で形成する。

#### 〔作用〕

上述した手段(1)によれば、前記エッティングマスクの導電膜、レジスト膜の夫々に同一位置においてピンホールが発生する確率が極めて低いので、前記絶縁膜のパターンニング工程でエッティングマスクから絶縁膜にピンホールが転写されることを低減することができる。この結果、導電層間、特に、液晶表示装置ではゲート電極—ソース電極・ドレイン電極間の短絡、走査信号線—映像信号線間の短絡、映像信号線の断線等を低減することができるので、液晶表示装置に特有な点欠陥又は線欠陥を低減し、製造上の歩留りを向上することができる。

配置されている。薄膜トランジスタTFTは、主に、ゲート電極GT、絶縁膜GI、i型半導体層AS、ソース電極(又はドレイン電極)SD1、ドレイン電極(又はソース電極)SD2で構成されている。

前記ゲート電極GTは例えばスパッタ法で堆積した約1100[Å]程度の膜厚のCr膜g1で形成されている。このゲート電極GTは、走査信号線(ゲート信号線又は水平信号線)GLと同一製造工程(同一導電層)で形成され、走査信号線GLに一体化されている。走査信号線GLは例えば前記Cr膜g1上にAl-Si膜g2を積層した複合膜で形成されている。Al-Si膜g2は、スパッタ法で堆積し、約1000[Å]程度の膜厚で形成する。このAl-Si膜g2は、主に走査信号線GLの抵抗値を低減し、走査信号の伝達速度を速くするように構成されている。前記ゲート電極GTは走査信号線GLのうちの下層のCr膜g1と一体に構成されている。走査信号線GLは、第1図に示すように、水平方向に延在し垂直方向に

前述の手段(2)によれば、エッティングマスクの導電膜を形成する工程を他の導電膜を形成する工程で兼用することができるので、液晶表示装置の製造工程数を低減することができる。

以下、本発明の構成について、アクティブ・マトリックス方式を採用する液晶表示装置に本発明を適用した一実施例とともに説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

#### 〔実施例〕

本発明の一実施例である液晶表示装置の液晶表示部及び外部端子領域を第1図(要部平面図)で示す。また、第1図のI—I切断線、II-II切断線及びIII-III切断線で切った断面を第2図で示す。

第1図及び第2図に示すように、液晶表示装置は、1.1[mm]程度の厚さを有する下部透明ガラス基板SUB1の内側(液晶側)の表面上に薄膜トランジスタTFTを有している。薄膜トランジスタTFTは液晶表示部(画像有効領域)内において

複数本配置されている。

前記走査信号線GLの少なくとも一端部は液晶表示装置の液晶表示部の外周部分において外部端子GPに接続されている。この外部端子GPには走査信号が印加されるように構成されている。外部端子GPは下部透明ガラス基板SUB1の表面上にITO膜c1及びそれを被覆するCr膜g1からなる複合膜で構成されている。Cr膜g1は走査信号線GLのCr膜g1と一体に構成されている。外部端子GPの表面は外部装置の端子と電気的に接続するために露出されている。前記ITO膜c1は、スパッタ法で堆積させ、約1000[Å]程度の膜厚で形成されている。ITO膜c1は画像の透明電極ITO1の形成領域において下部透明ガラス基板SUB1と絶縁膜CIとの間に形成された補助容量素子Caの一方の電極であるITO膜c1と同一製造工程で形成されている。この補助容量素子Caについては後述する。

前記絶縁膜GIは、前記外部端子GP(後述する外部端子DPも同様に)を除く液晶表示部にお

いて、ゲート電極G T及び走査信号線G Lの上層に形成されている。絶縁膜G Iは、主に薄膜トランジスタTFTのゲート絶縁膜、走査信号線G L-映像信号線D L間の絶縁分離用絶縁膜等に使用されている。絶縁膜G Iは、例えばプラズマCVD法で堆積させた窒化珪素膜を用い、約3500[Å]程度の膜厚で形成されている。

i型半導体層A Sはゲート絶縁膜G Iの上層に島形状で構成されている。i型半導体層A Sは主に薄膜トランジスタTFTのチャネル形成領域として使用されている。i型半導体層A Sは、CVD法で堆積させた非品質珪素膜又は多結晶珪素膜で形成し、約2500[Å]程度の膜厚で形成されている。

ソース電極S D 1、ドレイン電極S D 2の夫々はi型半導体層A S上に夫々離隔して設けられている。ソース電極S D 1とドレイン電極S D 2とは回路のバイアス極性が変ると動作上ソースとドレインが入れ替わる。つまり、薄膜トランジスタTFTは絶縁ゲート型電界効果トランジスタFET

Tと同様に双方向性で構成されている。

ソース電極S D 1、ドレイン電極S D 2の夫々は、例えばi型半導体層A Sに接触する下層側から、図示しないn型半導体層、Cr膜d 1、Al膜d 2、ITO膜d 3の夫々を順次積層した複合膜で構成されている。ソース電極S D 1、ドレイン電極S D 2の夫々は同一製造工程で形成されている。n型半導体層は、非品質珪素膜又は多結晶珪素膜で形成され、約500[Å]程度の膜厚で形成されている。n型半導体層はi型半導体層A SとCr膜d 2との接触抵抗値を低減するように構成されている。前記Cr膜d 1は、例えばスパッタ法で堆積し、約600[Å]程度の膜厚で形成する。Al膜d 2は、例えばスパッタ法で堆積し、約3500[Å]程度の膜厚で形成する。Al膜d 2は、主に映像信号線D Lの抵抗値を低減し、映像信号の伝送速度を速くするように構成されている。ITO膜d 3は、例えばスパッタ法で堆積し、約1200[Å]程度の膜厚で形成する。ITO膜d 3は主に透明電極ITO 1を構成するようにな

っている。

前記映像信号線D Lはソース電極S D 1及びドレイン電極S D 2と同様にCr膜d 1、Al膜d 2、ITO膜d 3の夫々を順次積層した複合膜で形成されている。映像信号線D Lは、第1図に示すように、走査信号線G Lと交差する垂直方向に延在し水平方向に複数本配置されている。ドレイン電極S D 2は映像信号線D Lと一体に構成され電気的に接続されている。

前記ソース電極S D 1には、画素毎に設けられた透明電極(透明画素電極)ITO 1が接続されている。透明電極ITO 1は、ソース電極S D 1のITO膜d 3と一緒に構成されたITO膜d 3で形成されている。透明電極ITO 1は液晶表示部の画素電極の一方を構成する。

透明電極ITO 1は下層側から絶縁膜C I、絶縁膜G Iの夫々を介在させてITO膜c 1に対向するように設けられている。この透明電極ITO 1は補助容量素子C aの他方の電極を構成するようになっている。つまり、補助容量素子C aは、

一方の電極をITO膜c 1、誘電体膜を絶縁膜C I及び絶縁膜G I、他方の電極を透明電極ITO 1(ITO膜d 3)の夫々として構成されている。一方の電極であるITO膜c 1は水平方向に延在し垂直方向に複数本配置されており、垂直方向に配置された各ITO膜c 1は液晶表示部の端部において一体に構成されている。このITO膜c 1は所定の共通電位が印加されている。補助容量素子C aは画素の透明電極ITO 1に印加される映像信号の保持特性を向上するように構成されている。

前記映像信号線D Lの少なくとも一端部は走査信号線G Lと同様に液晶表示装置の液晶表示部の外周部分において外部端子D Pに接続されている。この外部端子D Pには映像信号が印加されるよう構成されている。外部端子D Pは下部透明ガラス基板SUB 1の表面上にITO膜c 1及びそれを被覆するCr膜g 1からなる複合膜で構成されている。外部端子D Pの表面は外部装置の端子と電気的に接続するために露出されている。

前記薄膜トランジスタTFT及び透明電極ITO<sub>1</sub>上には保護膜(絶縁膜)PSV<sub>1</sub>が設けられている。保護膜PSV<sub>1</sub>は、主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。また、保護膜PSV<sub>1</sub>は映像信号線、ソース電極SD<sub>1</sub>、ドレイン電極SD<sub>2</sub>の夫々と遮光膜LSとの間を電気的に分離するように構成されている。保護膜PSV<sub>1</sub>は外部端子GP、DPの夫々を除く液晶表示部内(絶縁膜GIよりも外周)において形成されている。保護膜PSV<sub>1</sub>は、例えばプラズマCVD法で堆積した酸化珪素膜や窒化珪素膜で形成され、約10000[Å]程度の膜厚で形成されている。

薄膜トランジスタTFT上の保護膜PSV<sub>1</sub>の上部には外部光がチャネル形成領域として使用されるi型半導体層ASに入射されないように遮光膜LSが設けられている。遮光膜LSは、光に対する遮光性が高い例えばCr膜、Al膜等で形成されており、スパッタ法で堆積し1000~40

め分けはフォトリソグラフィ技術を用いて行っている。

保護膜PSV<sub>2</sub>は、前記カラーフィルタFLを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV<sub>2</sub>は、例えば、アクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

この液晶表示装置は、下部透明ガラス基板SUB<sub>1</sub>側、上部透明ガラス基板SUB<sub>2</sub>側の夫々の層を別々に形成し、その後、上下透明ガラス基板SUB<sub>1</sub>及びSUB<sub>2</sub>を重ね合せ、両者間に液晶LCを封入することによって組み立てられる。

下部透明ガラス基板SUB<sub>1</sub>、上部透明ガラス基板SUB<sub>2</sub>の夫々の外側の表面には偏光板POL<sub>1</sub>が形成されている。

次に、前記液晶表示装置の製造方法について第3図乃至第7図(各製造工程毎に示す要部断面図)を用いて簡単に説明する。

まず、下部透明ガラス基板SUB<sub>1</sub>の内側の表面上の全面にITO膜c<sub>1</sub>を形成する。このITO

00[Å]程度の膜厚で形成されている。

液晶LCは、下部透明ガラス基板SUB<sub>1</sub>と上部透明ガラス基板SUB<sub>2</sub>との間に形成された空間内に、液晶分子の向きを設定する下部配向膜ORI<sub>1</sub>及び上部配向膜ORI<sub>2</sub>に規定され、封入されている。

下部配向膜ORI<sub>1</sub>は下部透明ガラス基板SUB<sub>1</sub>側の保護膜PSV<sub>1</sub>の上部に形成される。

上部透明ガラス基板SUB<sub>2</sub>の内側(液晶側)の表面には、カラーフィルタFL、保護膜PSV<sub>2</sub>、共通透明電極(共通透明画素電極)ITO<sub>2</sub>及び前記上部配向膜ORI<sub>2</sub>が順次積層して設けられている。

前記共通透明電極ITO<sub>2</sub>は、下部透明ガラス基板SUB<sub>1</sub>側に画素毎に設けられた透明電極ITO<sub>1</sub>に対向し、隣接する他の共通透明電極ITO<sub>2</sub>と一緒に構成されている。

カラーフィルタFLは、アクリル樹脂等の樹脂材料で形成される染色基材を各画素毎に染料で染め分けることにより形成されている。染料の染

め分けはフォトリソグラフィ技術を用いて行っている。

ITO膜c<sub>1</sub>に所定のパターンニングを施し、液晶表示部(画像有効領域)において補助容量素子Caの一方の電極及び外部端子領域において外部端子GP、DPの夫々の一部を形成する。

次に、前記ITO膜c<sub>1</sub>上を覆うように、全面に絶縁膜CIを堆積させる。この絶縁膜CIは、液晶表示部を除き、外部端子領域のITO膜c<sub>1</sub>が露出するようにエッチングで除去される。

次に、絶縁膜CI上及び外部端子領域のITO膜c<sub>1</sub>上を含む全面にCr膜g<sub>1</sub>を堆積させる。このCr膜g<sub>1</sub>に所定のパターンニングを施し、液晶表示部においてはゲート電極GT及び走査信号線GLの一部を形成し、外部端子領域においては外部端子GP、DPの夫々を形成する。この工程により、ゲート電極GT、外部端子GP、DPの夫々が完成する。

次に、前記Cr膜g<sub>1</sub>上を含む全面にAl-Si膜g<sub>2</sub>を堆積し、走査信号線GL上以外のAl-Si膜g<sub>2</sub>をエッチングで除去する。この工程により、走査信号線GLが完成する。

次に、第3図に示すように、ゲート電極G T、走査信号線G L、外部端子G P、D Pの夫々の上部を含む全面に絶縁膜G Iを形成する。絶縁膜G Iは前述のようにスパッタ法で堆積させた窒化珪素膜で形成する。

次に、液晶表示部の各画素の薄膜トランジスタTFT形成領域において、絶縁膜G I上にi型半導体層A Sを形成する。

次に、i型半導体層A S上を含む絶縁膜G I上の全面にCr膜d 1を堆積する。このCr膜d 1は、まず、フォトリソグラフィ技術を用い、第4図に示すように、液晶表示部を除き、エッチングで除去される。つまり、フォトリソグラフィ技術は、Cr膜d 1の表面上にフォトレジスト膜でエッチングマスクPR 1を形成し、このエッチングマスクPR 1を用いてCr膜d 1をエッチングするようになっている。エッチングマスクPR 1を形成するフォトレジスト膜としては、例えばポジ型を使用し、約1.5[μm]程度の膜厚で塗布する。Cr膜d 1のエッチングは硝酸第2セリウム

アンモニウム溶液で行う。

次に、前記エッチングマスクPR 1を除去した後、再度、Cr膜d 1上にフォトレジスト膜でエッチングマスクPR 2を形成する。このエッチングマスクPR 2は、液晶表示部に形成され、Cr膜d 1を被覆するようそれに比べて大きなサイズで形成されている。エッチングマスクPR 2は例えばCr膜d 1に比べて約5～10[μm]以上のサイズの差を持って形成されている。エッチングマスクPR 2とCr膜d 1とのサイズの差は、絶縁膜G Iのエッチングの際にCr膜d 1にエッチングダメージが生じることを低減し、Cr膜d 1の除去性(ウエットエッチング性)を高めるようになっている。

次に、第5図に示すように、前記エッチングマスクPR 2を用い、液晶表示部を除く外部端子領域の絶縁膜G Iをエッチングで除去する。エッチングは例えばSF<sub>6</sub>ガスを使用するドライエッチングで行う。このエッチング処理は、前記エッチングマスクPR 2とその下部のCr膜d 1との複

合膜を実質的なエッチングマスクとしている。つまり、複合膜で形成されたエッチングマスクは、同一位置においてピンホールが存在する確率が極めて小さい。したがって、絶縁膜G Iのエッチングの際に、エッチングマスクに存在するピンホールが絶縁膜G Iに転写されることを低減することができる。

このように、液晶表示装置において、絶縁膜G Iの液晶表示部の表面上にCr膜d 1及びそれを被覆するエッチングマスクPR 2でエッチングマスクを形成し、このエッチングマスクを用い、前記絶縁膜G Iの外部端子領域をエッチングで除去することにより、前記エッチングマスクのCr膜d 1、エッチングマスクPR 2の夫々に同一位置においてピンホールが発生する確率が極めて低いので、前記絶縁膜G Iのパターンニング工程でエッチングマスクから絶縁膜G Iにピンホールが転写されることを低減することができる。この結果、導電層間、特に、ゲート電極G T～ソース電極SD 1・ドレイン電極SD 2間の短絡、走査信号線

GL～映像信号線DL間の短絡等を低減することができる。液晶表示装置に特有な点欠陥又は線欠陥を低減し、製造上の歩留りを向上することができる。

また、前記エッチングマスクの下層のCr膜d 1は液晶表示装置で使用される導電膜つまりソース電極SD 1、ドレイン電極SD 2、映像信号線DLの夫々のCr膜d 1を形成する工程と同一製造工程で形成することにより、エッチングマスクのCr膜d 1を形成する工程を他の導電膜を形成する工程で兼用することができるので、液晶表示装置の製造工程数を低減することができる。

前記絶縁膜G Iをパターンニングする工程の後に、前記エッチングマスクPR 2を除去する。そして、第6図に示すように、Cr膜d 1上に再度フォトレジスト膜でエッチングマスクPR 3を形成し、液晶表示部のCr膜d 1に所定のパターンニングを施す。このパターンニングにより、ソース電極SD 1、ドレイン電極SD 2、映像信号線DLの夫々のCr膜d 1を形成することができる。

次に、前記Cr膜d1上にAl膜d2を堆積し、このAl膜d2に所定のパターンニングを施す。この後、Al膜d2上にITO膜d3を堆積し、このITO膜d3に所定のパターンニングを施すことにより、ソース電極SD1、ドレイン電極SD2、映像信号線DL、透明電極ITO1の夫々を形成することができる。また、この工程により、薄膜トランジスタTFT、補助容量素子Caの夫々も完成させることができる。

次に、液晶表示部及び外部端子領域を含む全面に保護膜PSV1を堆積する。そして、液晶表示部の画素の薄膜トランジスタTFT形成領域において、保護膜PSV1上に遮光膜LSを形成する。

次に、前記遮光膜LSを含む保護膜PSV1の全面にフォトレジスト膜でエッティングマスクPR4を形成する。この後、エッティングマスクPR4を用い、第7図に示すように、液晶表示部を除く外部端子領域において、保護膜PSV1をエッティングで除去する。このエッティングに際しては、前述のように、遮光膜LSとエッティングマスクPR

4とで実質的なエッティングマスクを形成しているので、遮光膜LS下の保護膜PSV1にエッティングマスクのピンホールが転写されることがない。つまり、保護膜PSV1にはピンホールが転写されず、しかも保護膜PSV1のパターンニング工程前に遮光膜LSをパターンニングしているので、遮光膜LSのパターンニングの際に保護膜PSV1に転写されたピンホールを通して映像信号線DL等がエッティングされない。この結果、映像信号線DL等の断線を防止し、液晶表示装置の製造上の歩留りを向上することができる。

この後、下部配向膜ORI1、そして、上部透明ガラス基板SUB2側の各層を形成し、液晶LCを封入することによって、前記第1図及び第2図に示す本実施例の液晶表示装置は完成する。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

例えば、本発明は、前記補助容量素子Caの一方の電極であるITO膜c1とその上層の導電膜との間の絶縁膜CIのパターンニング工程に適用することができる。

#### 〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

液晶表示装置の製造上の歩留りを向上することができる。

また、前記液晶表示装置の製造工程数を低減することができる。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例である液晶表示装置の液晶表示部及び外部端子領域を示す要部平面図。

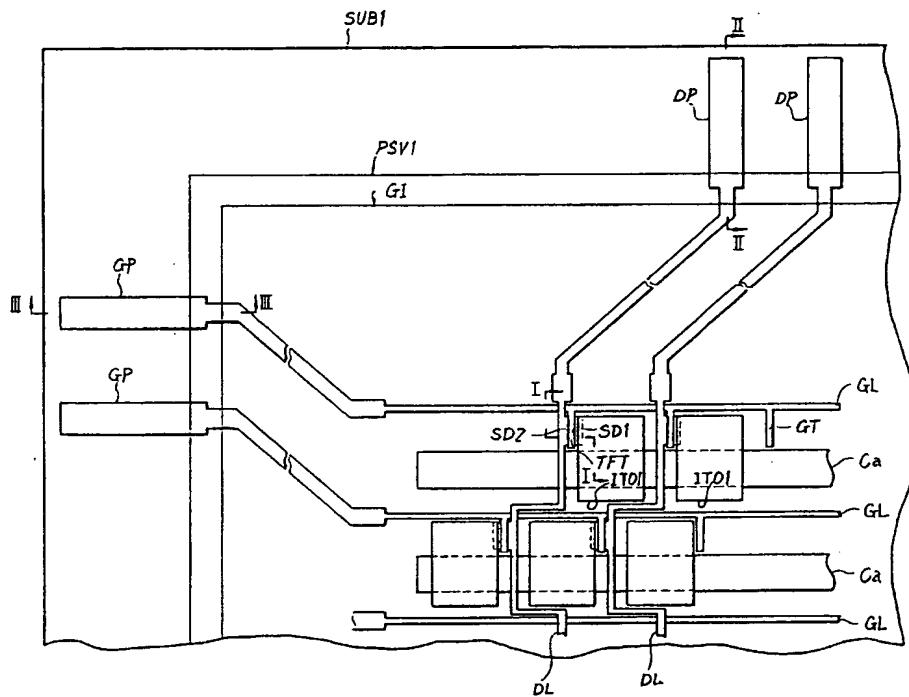
第2図は、前記第1図のI—I切断線、II—II切断線及びIII—III切断線で切った断面図。

第3図乃至第7図は、前記液晶表示装置の各製造工程毎に示す要部断面図である。

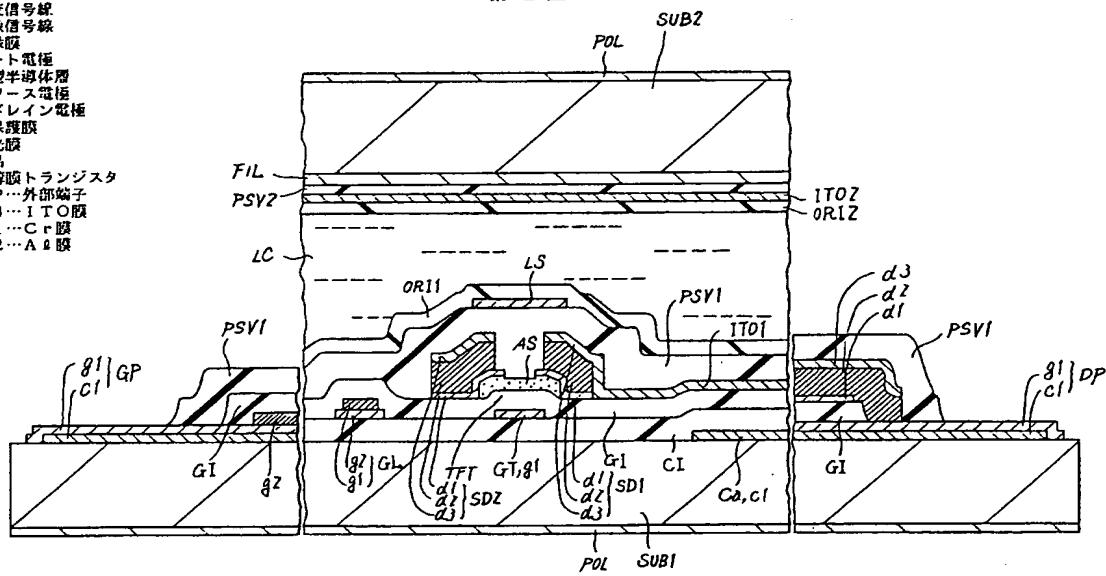
図中、SUB…透明ガラス基板、GL…走査信号線、DL…映像信号線、GI…絶縁膜、GT…ゲート電極、AS…i型半導体層、SD1…ソース電極、SD2…ドレイン電極、PSV…保護膜、LS…遮光膜、LC…液晶、TFT…薄膜トランジスタ、GP、DP…外部端子、c1、d3…ITO膜、g1、d1…Cr膜、g2、d2…Al膜、PR1～4…エッティングマスクである。

代理人弁理士小川勝男

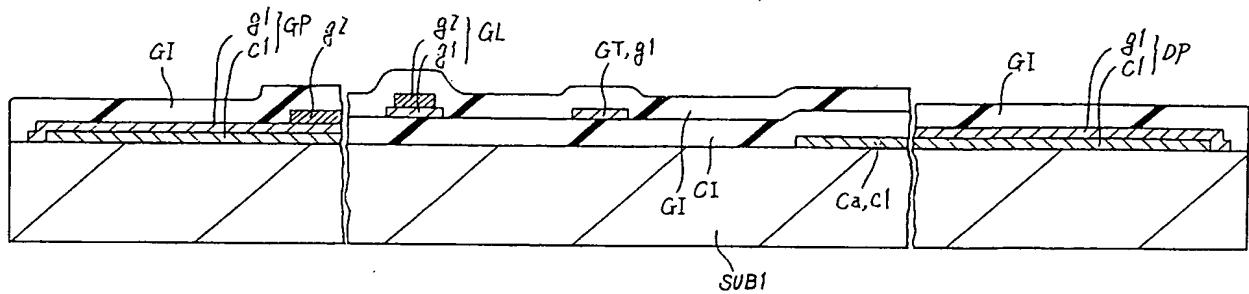
第1図



第2図

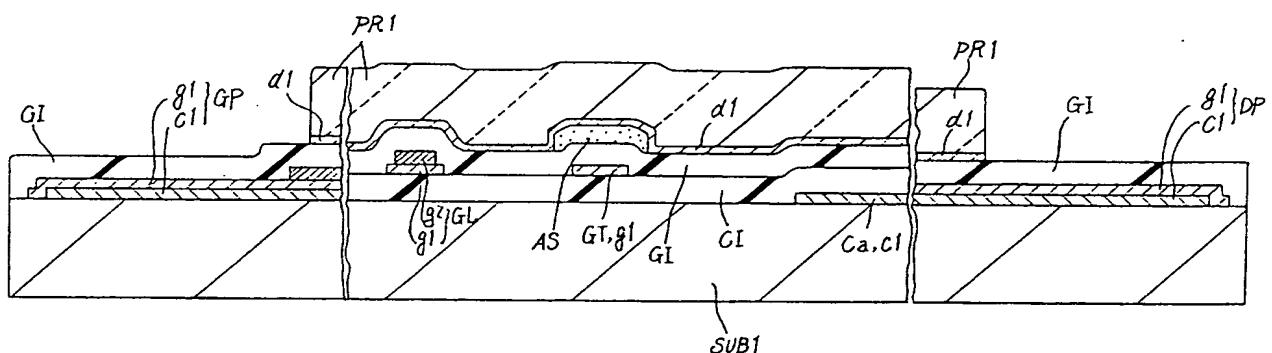


第3図

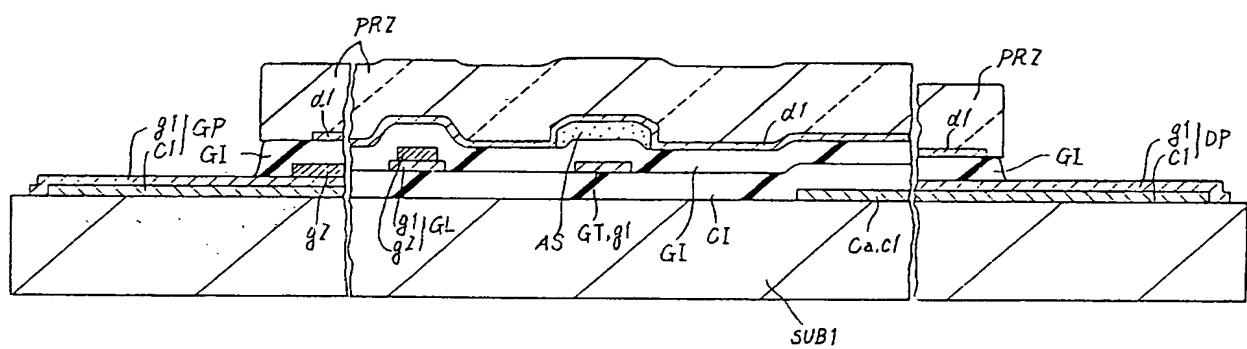


第4図

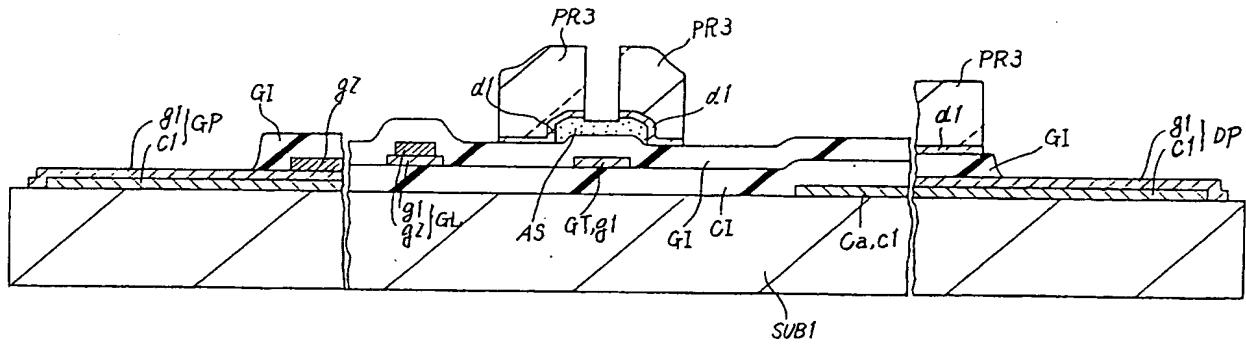
PR…エッチングマスク



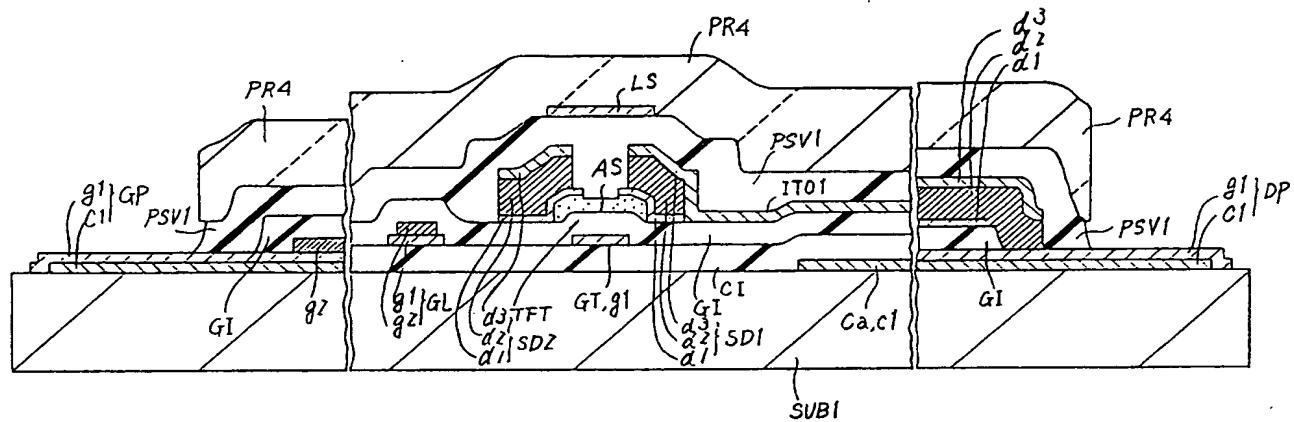
第5図



第6図



第 7 図



第 1 頁の続き

⑤Int. Cl. 5

G 02 F 1/13  
H 01 L 21/3205  
27/12  
29/784

識別記号

1 0 1

府内整理番号

8910-2H

A

7514-5F



(19) Japan Patent Office (JP)  
(12) Publication of Patent Application (A)  
(11) Publication Number of Patent Application: 67523/1990  
(43) Date of Publication of Application: March 7, 1990

(51) Int. Cl.<sup>5</sup> :

G 02 F 1/136

G 02 F 1/13

H 01 L 21/3205

27/12

29/784

Identification Number:

500

101

Intraoffice Reference Number:

7370-2H

6824-5F H 01 L 21/88 C

8624-5F 29/78 311 A\*

8910-2H

A 7514-5F

Request for Examination: not made

Number of Claims: 4 (10 pages in total)

(54) Title of the Invention: MANUFACTURING METHOD OF LIQUID  
CRYSTAL DISPLAY DEVICE

(21) Application Number Sho-63-218329

(22) Application Date: September 2, 1988

(71) Applicant: Hitachi Limited

4-6, Kanda Surugadai, Chiyoda-ku,  
Tokyo

(72) Inventors: TANIGUCHI Hideaki, SHIROHASHI Kazuo,

ORITSUKI Ryoji, SUZUKI Kenkichi

c/o Hitachi Limited

Mobara Factory,

300, Hayano, Mobara-shi,

Chiba-ken

(74) Agent: Patent Attorney, OGAWA Katsuo (other 1)

## SPECIFICATION

### Title of the Invention

MANUFACTURING METHOD OF LIQUID CRYSTAL DISPLAY DEVICE

### 2. Claims

1. A manufacturing method of a liquid crystal display device, in which an insulating film formed between different conductive layers is patterned in a designated shape by photolithographic technology, comprising: a process of forming an etching mask by a conductive film and a resist film covering the conductive film on the surface of a partial area of the insulating film; and a process of removing the area

outside the partial area of the insulating film by etching.

2. The manufacturing method of a liquid crystal display device according to claim 1, wherein the insulating film is a gate insulating film between a gate electrode and a source electrode and a drain electrode, an insulating film between a scan signal line and a video signal line, an insulating film between a video signal line and a shielding film, and so on.

3. The manufacturing method of a liquid crystal display device according to claim 1 or claim 2, wherein the lower layer conductive film of the etching mask is formed of a video signal line, a gate electrode, a video signal line, a source electrode, a drain electrode or a shielding film, or formed by the same process as one conductive film of them.

4. The manufacturing method of a liquid crystal display device according to claims 1 to 3, wherein the lower conductive film of the etching mask is formed smaller than the upper resist film.

#### Detailed Description of the Invention

##### [Industrial Field of Application]

This invention relates to technology effective for application to a liquid crystal display device, especially the active matrix type liquid crystal display device.

##### [Prior Art]

A plurality of pixels are disposed in a matrix on a liquid

crystal display part of the active matrix type liquid crystal display device. The respective pixels are disposed in regions surrounded by a plurality of scan signal lines (gate signal lines) extended in the horizontal direction and a plurality of video signal lines (drain signal lines) extended in the vertical direction intersecting them. An external terminal to which a scan signal is applied is connected to one end part of the scan signal line, and an external terminal to which a video signal is applied is connected to one end part of the video signal line. The respective external terminals are arranged in the outer periphery of a liquid crystal display part (an image effective area).

Each of the pixels is constituted by a series circuit of a thin film transistor (TFT) and a transparent pixel electrode. The thin film transistor is constituted by sequentially stacking a gate electrode, a gate insulating film, a semiconductor layer, a source electrode and a drain electrode on the surface of a transparent glass substrate. The source electrode is electrically connected to a transparent pixel electrode. The drain electrode is formed integrally with the video signal line and electrically connected thereto. The gate electrode is formed integrally with the scan signal line and electrically connected thereto. A shielding film is provided through an insulating film (a passivation film) on the semiconductor layer used as a channel forming region of

the thin film transistor. The shielding film is formed of, example, a Cr film or an Al film to prevent malfunction of the thin film transistor.

In this type of liquid crystal display device, as described above, an insulating layer is provided between the respective conductive layers. To be concrete, the insulating film of the same layer is provided between the gate electrode and the source-drain region and between the scan signal line and the video signal line, and the insulating film of a different layer is provided between the video signal line and the shielding film. These insulating film are formed in the liquid crystal display part (the image effective area) except the area of the external terminals. As the insulating film, a silicon nitride film deposited by a sputtering process, for example, is used, and patterning for the insulating film is performed by photolithographic technology (photo-etching technology). That is, the photolithography technology can form an insulating film on the liquid crystal display part as follows. First, an etching mask is formed of a photo resist film on the surface of the liquid crystal display part of the insulating film. Subsequently, the etching mask is used to remove the part outside the liquid crystal display part of the insulating film by etching.

The liquid crystal display device adopting the active matrix system is described, for example, in JP-A-62-110505.

[Problems that the Invention is to Solve]

The insulating film provided between the conductive layers of the liquid crystal display device is subjected to patterning by use of an etching mask formed of a photo resist film. Since pinholes are existent in the most part of the photo resist film as a probability, a pinhole is formed in the etching mask. The pinhole formed in the etching mask forms a pinhole in the insulating film in patterning for the insulating film. Therefore, in the case where the pinhole exists in the insulating film between the gate electrode and the source electrode, for example, the short circuit between them occurs to cause a dot defect peculiar to the liquid crystal display device. On the other hand, in the case where pinholes exist in the respective insulating films between the gate electrode and the drain electrode and between the scan signal line and the video signal line, a line defect peculiar to the liquid crystal display device is caused. In the case where a pinhole exists in the insulating film between the video signal line and the shielding film, the video signal line is cut by an etchant permeating through the pinhole in patterning for the shielding film. These lower the manufacturing yield of the liquid crystal display device.

It is an object of the invention to provide a technique, which may improve the manufacturing yield of a liquid crystal display device.

It is another object of the invention to provide a technique, which may prevent a dot defect or a line defect due to the existence of a pinhole in an insulating film between the conductive layers in the liquid crystal display device.

It is still another object of the invention to provide a technique, which may reduce the number of manufacturing processes for achieving the objects.

The above and other objects and new characteristics of the invention will be made apparent by description of the specification and the attached drawings.

#### [Means for Solving the Problems]

Among the inventions disclosed in the present application, the summary of the representative one will be described in brief as in the following.

(1) In a liquid crystal display device, an etching mask is formed by a conductive film and a resist film covering the conductive film on a surface of a partial area of an insulating film, and the etching mask is used to remove the part outside the partial area of the insulating film by etching.

(2) The lower conductive film of the etching mask is formed in the same manufacturing process as the conductive film used in a liquid crystal display device.

#### [Operation]

According to the above means (1), the probability of causing pinholes in the conductive film and the resist film

at the same position of the etching mask is very low, so that it is possible to reduce transfer of the pinhole from the etching mask to the insulating film in the patterning process of the insulating film. As a result, it is possible to reduce short-circuit between the conductive layers, especially in the liquid crystal display device, short-circuit between the gate electrode and the source-drain electrode, short-circuit between the scan signal line and the video signal line, breaking of the video signal line and so on. Accordingly, a dot defect or a line defect peculiar to the liquid crystal display device can be reduced to improve the manufacturing yield.

According to the means (2), the process of forming the conductive film of the etching mask is also used as the process of forming the other conductive films, whereby the number of manufacturing processes of the liquid crystal display device can be decreased.

The constitution of the invention will now be described with one embodiment in which the invention is applied to a liquid crystal display device adopting an active matrix system.

In all drawings for explaining the embodiment, the parts having the same function are designated by the same reference numerals, so the repeated description is omitted.

#### [Embodiment]

Fig. 1 (a plan view of the principal part) shows a liquid crystal display part and an external terminal area of a liquid

crystal display device as one embodiment of the invention. The sectional views taken along cutting plane lines I - I, II - II and III - III of Fig. 1 are shown in Fig. 2.

As shown in Fig. 1 and Fig. 2, the liquid crystal display device has a thin film transistor TFT on the surface of the inside (the liquid crystal side) of a lower transparent glass substrate SUB1 having a thickness of about 1.1 mm. The thin film transistor TFT is disposed in the liquid crystal display part (an image effective area). The thin film transistor TFT is mainly composed of a gate electrode GT, an insulating film GI, an i-type semiconductor layer AS, a source electrode (or a drain electrode) SD1, and a drain electrode (or a source electrode) SD2.

The gate electrode GT is formed, for example, of a Cr film g1 deposited with a film thickness of about 1100 angstrom by a sputtering process. The gate electrode GT is formed with a scan signal line (a gate signal line or a horizontal signal line) GL in the same manufacturing process (the same conductive layer), and integrated with the scan signal line GL. The scan signal line GL is formed, for example, by a composite film of an Al-Si film g2 stacked on the Cr film g1. The Al-Si film g2 is formed with a film thickness of about 1000 angstrom by deposition using a sputtering process. The Al-Si film g2 is formed mainly to decrease the resistance value of the scan signal line GL and increase the transmission speed of a scan

signal. The gate electrode GT is constructed integrally with a lower Cr film g1 of the scan signal line GL. A scan signal line GL is, as shown in Fig. 1, extended in the horizontal direction and a plurality of scan signal lines are disposed in the vertical direction.

At least one end part of the scan signal line GL is connected to an external terminal GP in the outer peripheral part of a liquid crystal display part of a liquid crystal display device. A scan signal is applied to the external terminal GP. The external terminal GP is formed by a composite film composed of an ITO film c1 and a Cr film g1 covering it on the surface of a lower transparent glass substrate SUB1. The Cr film g1 is formed integral with the Cr film g1 of the scan signal line GL. The surface of the external terminal GP is exposed to be electrically connected to the terminal of an external device. The ITO film c1 is deposited by a sputtering process and formed with a film thickness of about 1000 angstrom. The ITO film c1 is formed in the same manufacturing process as an ITO film c1, which is one electrode of an auxiliary capacitor element Ca formed between a lower transparent glass substrate SUB1 and an insulating film CI in a forming area of a transparent electrode IT01 of an image. The auxiliary capacitor element Ca will be mentioned later.

The insulating film GI is formed on an upper layer of the gate electrode GT and the scan signal line GL in the liquid

crystal display part except the external terminal GP (an external terminal DP as well mentioned later). The insulating film GI is mainly used for a gate insulating film of a thin film transistor TFT, an insulating film for discrete insulation between the scan signal line GL and the video signal line DL, and so on. The insulating film GI is formed with a film thickness of about 3500 angstrom using a silicon nitride film deposited by plasma CVD method, for example.

The i-type semiconductor layer AS is formed in an insular shape on the upper layer of the gate insulating film GI. The i-type semiconductor layer AS is mainly formed as a channel forming region of the thin film transistor TFT. The i-type semiconductor layer is formed of an amorphous silicon film or a polycrystalline silicon film deposited by the CVD method, and formed with a film thickness of about 2500 angstrom.

-----  
The source electrode SD1 and the drain electrode SD2 are respectively provided separately on the i-type semiconductor layer AS. In the source electrode SD1 and the drain electrode SD2, when the bias polarity of a circuit is varied, operationally the source and the drain are replaced with each other. That is, the thin film transistor TFT is constituted with bi-directional property similarly to the insulating gate type field effect transistor FET.

The source electrode SD1 and the drain electrode SD2 are respectively formed of a composite film obtained, for example,

by sequentially stacking an n<sup>+</sup> type semiconductor layer not shown, a Cr film d1, a Al film d2, and an ITO film d3 from the lower layer side coming into contact with the i-type semiconductor layer AS. The source electrode SD1 and the drain electrode SD2 are respectively formed in the same manufacturing process. The n<sup>+</sup> type semiconductor layer is formed of an amorphous silicon film or a polycrystalline silicon film, and formed with a film thickness of about 500 angstrom. The n<sup>+</sup> type semiconductor layer is formed to decrease the contact resistance value between the i-type semiconductor layer AS and the Cr film d2. The Cr film d1 is deposited by a sputtering process, for example, and formed with a film thickness of about 600 angstrom. The Al film d2 is deposited by a sputtering process, for example, and formed with a film thickness of about 3500 angstrom. The Al film d2 is formed to mainly decrease the resistance value of the video signal line DL and increase the transmission speed of the video signal. The ITO film d3 is deposited by a sputtering process, for example, and formed with a film thickness of about 1200 angstrom. The ITO film d3 mainly constitutes the transparent electrode ITO1.

The video signal line DL is formed of a composite film obtained by sequentially stacking a Cr film d1, an Al film d2 and an ITO film d3 similarly to the source electrode SD1 and the drain electrode SD2. The video signal line DL is, as shown in Fig. 1, extended in the vertical direction intersecting the

scan signal line GL, and a plurality of video signal lines are disposed in the horizontal direction. The drain electrode SD2 is formed integrally with the video signal line DL and electrically connected thereto.

The transparent electrode (transparent pixel electrode) ITO1 provided on each pixel is connected to the source electrode SD1. The transparent electrode ITO1 is formed of an ITO film d3 integrated with the ITO film d3 of the source electrode SD1. The transparent electrode ITO1 constitutes one pixel electrode of the liquid crystal display part.

The pixel electrode ITO1 is provided opposite to the ITO film c1 with the insulating film CI and the insulating film GI respectively interposed from the lower layer side. The transparent electrode ITO1 constitutes the other electrode of the auxiliary capacitor element Ca. That is, the auxiliary capacitor element Ca is so constructed that one electrode is the ITO film c1, the dielectric film is the insulating film CI and the insulating film GI, and the other electrode is the transparent electrode ITO1 (ITO film d3). The ITO film c1 as one electrode is extended in the horizontal direction, and a plurality of ITO films are disposed in the vertical direction. The respective ITO films c1 disposed in the vertical direction are integrated with each other at the end part of the liquid crystal display part. A designated common potential is applied to the ITO films c1. The auxiliary capacitor element

Ca is constituted to improve the retentivity characteristics of the video signal applied to the transparent electrode ITO1 of the pixel.

At least one end part of the video signal line DL is connected to the external terminal DP at the outer peripheral part of the liquid crystal display part of the liquid crystal display device similarly to the scan signal line GL. A video signal is applied to the external terminal DP. The external terminal DP is formed of a composite film composed of an ITO film c1 and a Cr film g1 covering it on the surface of the lower transparent glass substrate SUB1. The surface of the external terminal DP is exposed to be electrically connected to the terminal of the external device.

A protective coat (insulating film) PSV1 is provided on the thin film transistor TFT and the transparent electrode ITO1. The protective coat PSV1 is formed to mainly protect the thin film transistor TFT from humidity or the like, and high transparency and good humidity resistance one is used. The protective coat PSV1 is formed to electrically separate the video signal line, the source electrode SD1 and the drain electrode SD2, respectively from the shielding film LS. The protective coat PSV1 is formed within the liquid crystal display part (outer periphery side from the insulating film GI) except the external terminals GP, DP, respectively. The protective coat PSV1 is formed of a silicon oxide film or a

silicon nitride film deposited by plasma CVD method, for example, and formed with a film thickness of about 10000 angstrom.

A shielding layer LS is provided on the upper side of the protective coat PSV1 on the thin film transistor TFT so that external light may not enter the i-type semiconductor layer AS used as a channel forming region. The shielding film LS is formed of a Cr film, an Al film or the like having high shielding property to light, and deposited with a film thickness of about 1000 to 4000 angstrom by a sputtering process.

Liquid crystal LC is defined by a lower alignment layer ORI1 and an upper alignment layer ORI2 setting the orientation of liquid crystal molecules, and enclosed in a space formed between the lower transparent glass substrate SUB1 and the upper transparent glass substrate SUB2.

The lower alignment layer ORI1 is formed on the upper side of the protective coat PSV1 on the lower transparent glass substrate SUB1 side.

A color filter FIL, the protective coat PSV2, a common transparent electrode (a common transparent pixel electrode) ITO2 and the upper alignment layer ORI2 are sequentially stacked on the inside surface (on the liquid crystal side) of the upper transparent glass substrate SUB2.

The common transparent electrode ITO2 is opposite to the

transparent electrode ITO1 provided at each pixel on the lower transparent glass substrate SUB1 side, and formed integrally with another adjacent common transparent electrode ITO2.

The color filter FIL is formed by properly dying dyeing base material formed of resin material such as acrylic resin with dyestuff pixel by pixel. The dying with different dyestuffs is performed using photolithography technology.

The protective coat PSV2 is provided to prevent the dyestuffs dying the color filter FIL in different colors from leaking to the liquid crystal LC. The protective coat PSV2 is formed of transparent resin material such as acrylic resin or epoxy resin.

This liquid crystal display device is constructed by separately forming the respective layers on the lower transparent glass substrate SUB1 side and on the upper transparent glass substrate SUB2 side, subsequently superposing the upper and lower transparent glass substrates SUB1 and SUB2 one on the other, and enclosing the liquid crystal LC between them.

A sheet polarizer POL is formed on the respective outer surfaces of the lower transparent glass substrate SUB1 and the upper transparent glass substrate SUB2.

A manufacturing method of the above liquid crystal display device will now be described in brief by Figs. 3 to 7 (sectional views of the principal part shown by each

manufacturing process).

First, an ITO film c1 is formed all over on the inner surface of the lower transparent glass substrate SUB1. A designated patterning is applied to the ITO film c1 to thereby form one electrode of the auxiliary capacitor element Ca in the liquid crystal display part (image effective area) and the respective parts of the external terminals GP, DP in the external terminal area.

Subsequently, an insulating film CI is deposited all over to cover the upper side of the ITO film c1. The insulating film CI is removed by etching to expose the ITO film c1 in the external terminal area except the liquid crystal display part.

Subsequently, a Cr film g1 is deposited on the whole surface including the upper side of the insulating film CI and the upper side of the ITO film c1 in the external terminal area. A designated patterning is applied to the Cr film g1 to form the respective parts of a gate electrode GT and a scan signal line GL in the liquid crystal display part and the external terminals GP, DP in the external terminal area. The gate electrode GT and the external terminals GP, DP are respectively completed through this process.

Subsequently, an Al-Si film g2 is deposited on the whole surface including the upper side of the Cr film g1, and the Al-Si film g2 outside the upper side of the scan signal line GL is removed by etching. The scan signal line GL is completed

through this process.

Subsequently, as shown in Fig. 3, an insulating film GI is formed on the whole surface including the respective upper sides of the gate electrode GT, the scan signal line GL, and the external terminals GP, DP. The insulating film GI is, as described above, formed of a silicon nitride film deposited by a sputtering process.

Subsequently, in the thin film transistor TFT forming area of each pixel of the liquid crystal display part, an i-type semiconductor layer AS is formed on the insulating film GI.

Subsequently, a Cr film d1 is deposited all over on the insulating film GI including the upper side of the i-type semiconductor layer AS. The Cr film d1 is first, as shown in Fig. 4, removed except the liquid crystal display part by etching using photolithography technology. That is, according to the photolithography technology, an etching mask PR1 is formed on the surface of the Cr film d1 by a photo resist film, and the etching mask PR1 is used to etch the Cr film d1. As the photo resist film for forming the etching mask PR1, for example, a positive type is used and applied with a film thickness of about 1.5  $\mu\text{m}$ . The Cr film d1 is etched with a secondary cerium nitrate ammonium solution.

Subsequently, after the etching mask PR1 is removed, again an etching mask PR2 is formed on the Cr film d1 by a photo resist film. The etching mask PR2 is formed on the liquid

crystal display part, and formed larger than the Cr film d1 to cover the film. The etching mask PR2 is formed by a difference of about 5 to 10  $\mu\text{m}$  or more in size as compared with the Cr film d1. The difference in size between the etching mask PR2 and the Cr film d1 reduces the occurrence of etching damage on the Cr film d1 in etching the insulating film GI, and heightens the rejection performance (wet-etching property) of the Cr film d1.

Subsequently, as shown in Fig. 5, the etching mask PR2 is used to remove the insulating film GI in the external terminal area except the liquid crystal display part by etching. The etching is performed by dry etching using  $\text{SF}_6$  gas, for example. In this etching, a composite film of the above etching mask PR2 and the lower Cr film d1 is taken as a substantial etching mask. That is, the etching mask formed of the composite film has a very low probability that pinholes exist in the same position. Accordingly, it is possible to reduce the transfer of pinholes existing in the etching mask to the insulating film GI in etching the insulating film GI.

In the liquid crystal display device, as described above, the etching mask is formed on the surface of the liquid crystal display part of the insulating film GI by the Cr film d1 and the etching mask PR2 covering it, and this etching mask is used to remove the external terminal area of the insulating film GI by etching, whereby the probability of causing the pinholes

in the same position of the Cr film d1 of the etching mask and the etching mask PR2, respectively is made very low so that it is possible to reduce the transfer of the pinhole from the etching mask to the insulating film GI in the patterning process for the insulating film GI. As a result, it is possible to reduce short-circuit between the conductive layers, especially short-circuit between the gate electrode GT and the source SD1 - drain SD2 electrode, short-circuit between the scan signal line GL and the video signal line DL, and the like so that a dot defect or a line defect peculiar to the liquid crystal display device can be decreased to improve the manufacturing yield.

Further, the Cr film d1 of the lower layer of the etching mask is formed by the same manufacturing process as the process of forming a conductive film used in the liquid crystal display device, that is, the respective Cr films d1 of the source electrode SD1, the drain electrode SD2 and the video signal line DL, whereby the process of forming the Cr film d1 of the etching mask is used also in the process of forming another conductive film, so that the number of manufacturing processes of the liquid crystal display device can be decreased.

After the process of patterning the insulating film GI, the etching mask PR2 is removed. As shown in Fig. 6, again an etching mask PR3 is formed on the Cr film d1 by a photo resist film, and designated patterning is applied to the Cr film d1

of the liquid crystal display part. The respective Cr films d1 of the source electrode SD1, the drain electrode SD2 and the video signal line DL are formed by this patterning.

Subsequently, an Al film d2 is deposited on the Cr films d1, and designated patterning is applied to the Al film d2. After that, an ITO film d3 is deposited on the Al film d2, and designated patterning is applied to the ITO film d3, thereby forming a source electrode SD1, a drain electrode SD2, a video signal line DL, and a transparent electrode ITO1, respectively. Further, the thin film transistor TFT and the auxiliary capacitor element Ca are respectively completed through this process.

Subsequently, a protective coat PSV1 is deposited on the whole surface including the liquid crystal display part and the external terminal area. In the thin film transistor TFT forming region of the pixel of the liquid crystal display part, a shielding film LS is formed on the protective coat PSV1.

Subsequently, an etching mask PR4 is formed on the whole surface of the protective coat PSV1 including the shielding film LS by a photo resist film. After that, the etching mask PR4 is used to remove the protective coat PSV1 by etching in the external terminal area except the liquid crystal display part as shown in Fig. 7. In this etching, as described above, a substantial etching mask is formed of the shielding film LS and the etching mask PR4, whereby the pinhole of the etching

mask is not transferred to the protective coat PSV1 under the shielding film LS. That is, the pinhole is not transferred to the protective coat PSV1, and further since the shielding film LS is subjected to patterning before the patterning process for the protective coat PSV1, the video signal line DL or the like is not etched through the pinhole transferred to the protective coat PSV1 in patterning the shielding film LS. As a result, breaking of the video signal line DL or the like can be prevented to improve the manufacturing yield of the liquid crystal display device.

After that, a lower alignment layer ORI1, and the respective layers on the upper transparent glass substrate SUB2 side are formed and liquid crystal LC is enclosed to thereby complete a liquid crystal display device according to the present embodiment shown in Figs. 1 and 2.

Although the invention made by the inventors is described concretely on the basis of the embodiment, it goes without saying that the invention is not limited to the embodiment, but it may be modified variously without departing from the gist of the invention.

For example, the invention may be applied to the patterning process for the insulating film CI between the ITO film c1 as one electrode of the auxiliary capacitor element Ca and a conductive film of the upper layer.

[Advantage of the Invention]

The effects obtained by the representative one of the inventions disclosed in the present application will be described in brief in the following.

It is possible to improve the manufacturing yield of the liquid crystal display device.

Furthermore, it is possible to decrease the number of manufacturing processes for the liquid crystal display device.

**Brief Description of the Drawings:**

Fig. 1 is a plan view of the principal part showing a liquid crystal display part and an external terminal area of a liquid crystal display device according to one embodiment of the invention;

Fig. 2 is a sectional view taken along a cutting plane line I - I, a cutting plane line II - II and a cutting plane line III - III of Fig. 1; and

Figs. 3 to 7 are sectional views of a main part showing the respective manufacturing processes of the liquid crystal display device.

SUB: transparent glass substrate GL: scan signal line  
DL: video signal line GI: insulating film GT: gate electrode  
AS: i-type semiconductor layer SD1: source electrode SD2:  
drain electrode PSV: protective coat LS: shielding film LC:  
liquid crystal TFT: thin film transistor GP, DP: external  
terminal c1, d3: ITO film g1, d1: Cr film g2, d2: Al film

PR1 to 4: etching mask

**FIGURE 2:**

SUB: TRANSPARENT GLASS SUBSTRATE GL: SCAN SIGNAL LINE DL:  
VIDEO SIGNAL LINE GI: INSULATING FILM GT: GATE ELECTRODE  
AS: i-TYPE SEMICONDUCTOR LAYER SD1: SOURCE ELECTRODE SD2:  
DRAIN ELECTRODE PSV: PROTECTIVE COAT LS: SHIELDING FILM LC:  
LIQUID CRYSTAL TFT: THIN FILM TRANSISTOR GP, DP: EXTERNAL  
TERMINAL c1, d3: ITO FILM g1, d1: Cr FILM g2, d2: Al FILM

**FIGURE 4:**

PR: ETCHING MASK